

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121553

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

B

G 0 1 R 1/073

G 0 1 R 1/073

E

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願平9-286392

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中野 武志

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

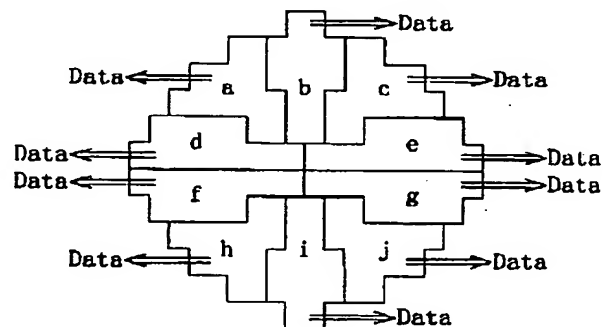
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 ウェハ一括型測定検査のためプローブカードおよびそのプローブカードを用いた半導体装置の検査方法

(57) 【要約】

【課題】 時に検査するチップの数を最適化できるウェハ一括型プローブカードおよびそのプローブカードを用いた半導体装置の検査方法を提供する。

【解決手段】 二次元的に配列された複数のプローブ電極と、複数のプローブ電極に電気的に接続された多層配線基板とを備えたプローブカードであって、ウェハ内に含まれる複数のチップからブロック単位でデータ (Data) を読み出すことができるようにデータ線を配置している。各ブロック a ~ j に含まれるチップ数は、測定装置が一度に検査可能な最大チップ数に近い数に設定され、ブロック総数を最小化している。その結果、ウェハ上の全チップを検査するために必要な検査回数を最小にできる。



【特許請求の範囲】

【請求項1】 二次元的に配列された複数のプローブ電極と、

前記複数のプローブ電極に電氣的に接続された多層配線基板とを備えたプローブカードであって、

前記多層配線基板中の多層配線は、複数のデータ線を含み、前記複数のデータ線は、ウェハ内に含まれる複数のチップから、複数行に属するチップを含むブロックを含むブロックの単位で、データを読み出すことができるように配置されていることを特徴とするプローブカード。

【請求項2】 前記ブロックは、測定装置が一度に測定できるチップ数に等しいか又はそれよりも少ない数のチップを含むことを特徴とする請求項1記載のプローブカード。

【請求項3】 前記ブロックの総数は、与えられた数のチップを含むウェハに対して最小化されていることを特徴とする請求項2記載のプローブカード。

【請求項4】 一枚の測定対象ウェハに含まれるチップの数をX個、前記ブロックの総数をm個、測定装置が一度に測定できるチップの最大数をn個とした場合に、 $X = n \times (m-1) + r$ （mは自然数、rはn以下の自然数）の関係が成り立つことを特徴とする請求項2記載のプローブカード。

【請求項5】 前記プローブ電極がパンク電極であることを特徴とする請求項1から4のいずれかに記載のプローブカード。

【請求項6】 前記プローブ電極と前記多層配線基板との間において、前記プローブ電極を前記多層配線に電氣的に接続するための導電性ゴムを備えていることを特徴とする請求項5記載のプローブカード。

【請求項7】 前記プローブ電極が剛性リングに張力を持った状態で張られた薄膜上に形成されていることを特徴とする請求項5記載のプローブカード。

【請求項8】 前記プローブ電極は前記多層配線の少なくとも一部から形成されていることを特徴とする請求項1から4のいずれかに記載のプローブカード。

【請求項9】 請求項1から8のいずれかに記載のプローブカードを用いて行う半導体装置の検査方法であって、

前記ウェハ内に含まれる前記複数のチップから前記ブロックの単位でデータを読み出す工程を包含することを特徴とする半導体装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ウェハ一括型測定検査のためプローブカードおよびそのプローブカードを用いた半導体装置の検査方法に関する。

【0002】

【従来の技術】近年、半導体集積回路装置（以後、「半導体装置」と称する。）を搭載した電子機器の小型化及

び低価格化の進展は目ざましく、これに伴って、半導体装置に対する小型化及び低価格化の要求が強くなっている。

【0003】通常、半導体装置は、半導体チップとリードフレームとがボンディングワイヤによって電氣的に接続された後、半導体チップ及びリードフレームが樹脂又はセラミクスにより封止された状態で供給され、プリント基板に実装される。ところが、電子機器の小型化の要求から、半導体装置を半導体ウェハから切り出したままの状態（以後、この状態の半導体装置をベアチップと称する。）で回路基板に直接実装する方法が開発され、品質が保証されたベアチップを低価格で供給することが望まれている。

【0004】ベアチップに対して品質保証を行なうためには、半導体装置に対してウェハ状態でバーンイン等の検査をする必要がある。ところが、半導体ウェハ上に形成されている複数のベアチップに対して1個又は数個づつ何度にも分けて検査を行なうことは多くの時間を要するので、時間的にもコスト的にも現実的ではない。そこで、全てのベアチップに対してウェハ状態で一括してバーンイン等の検査を行なうことが要求される。

【0005】ベアチップに対してウェハ状態で一括して検査を行なうには、半導体ウェハ上に形成された複数の半導体チップの電極に電源電圧や信号を同時に印加し、該複数の半導体チップを動作させる必要がある。このためには、非常に多く（通常、数千個以上）のプローブ針を持つプローブカードを用意する必要があるが、このようにするには、従来のニードル型プローブカードではピン数の点からも価格の点からも対応できない。

【0006】そこで、ウェハ上の多数のパッド電極に対してプローブ電極を一括的にコンタクトできるプローブカードが提案されている（特開平7-231019号公報）。この技術によれば、プローブカードに多数のパンクを形成し、これらのパンクをプローブ電極として用いる。

【0007】

【発明が解決しようとする課題】ウェハ一括型のプローブカードを用いてバーンイン検査などの測定検査を行う場合、各ウェハに含まれる多数のチップを同時に動作させることになる。バーンイン検査中にチップからデータを読み出そうとする場合、測定装置が一度に読み出すことのできるチップ数に限りがある。また、ウェハは円形であるため、その中に配列されるチップの数は行ごとに、または列ごとに異なる。このため、同一行（または同一列）に属するチップごとにデータを読みだそうとすると、データ読み出しの対象となるチップの数が行ごとに（または列ごとに）変化する。このことは、結果的にデータ読み出しの効率を悪化させ、データ読み出しの回数を増加させることになり、検査時間を増大させる。

【0008】本発明は上記問題に鑑みてなされたもので

あり、その目的とするところは、一時に検査するチップの数を最適化できるウェハ括型プローブカードおよびそのプローブカードを用いた半導体装置の検査方法を提供することにある。

【0009】

【課題を解決するための手段】本発明のプローブカードは、二次元的に配列された複数のプローブ電極と、前記複数のプローブ電極に電気的に接続された多層配線基板とを備えたプローブカードであって、前記多層配線基板中の多層配線は、複数のデータ線を含み、前記複数のデータ線は、ウェハ内に含まれる複数のチップから、複数行に属するチップを含むブロックを含むブロックの単位で、データを読み出すことができるように配置されている。

【0010】前記ブロックは、測定装置が一度に測定できるチップ数に等しいか又はそれよりも少ない数のチップを含むことが好ましい。

【0011】前記ブロックの総数は、与えられた数のチップを含むウェハに対して最小化されていることが好ましい。

【0012】一枚の測定対象ウェハに含まれるチップの数をX個、前記ブロックの総数をm個、測定装置が一度に測定できるチップの最大数をn個とした場合に、 $X = n \times (m - 1) + r$ (mは自然数、rはn以下の自然数)の関係が成り立つことが好ましい。

【0013】前記プローブ電極はバンプ電極であってもよい。

【0014】前記プローブ電極と前記多層配線基板との間において、前記プローブ電極を前記多層配線に電気的に接続するための導電性ゴムを備えていてもよい。

【0015】前記プローブ電極が剛性リングに張力を持った状態で張られた薄膜上に形成されていてもよい。

【0016】前記プローブ電極は前記多層配線の少なくとも一部から形成されていてもよい。

【0017】本発明の半導体装置の検査方法は、上記プローブカードを用いて行う半導体装置の検査方法であって、前記ウェハ内に含まれる前記複数のチップから前記ブロック単位でデータを読み出す工程を包含する。

【0018】

【発明の実施の形態】まず、本発明の理解を容易にするため、本発明が適用されるウェハ括型測定・検査技術を説明する。

【0019】図1には、ウェハ上の多数のパッド電極に対してプローブ電極を一括的にコンタクトできるプローブカード1が示されている。測定・検査の対象となる素子・回路が形成されたウェハ（例えば直径200mmのシリコンウェハ）2は、チップ状に分割されることなく、そのままの状態でウェハトレイ3上に載置される。測定・検査に際して、ウェハ2はプローブカード1とウェハトレイ3との間に挟まれる。プローブカード1とウ

ェハトレイ3との間にできる僅かな空間は、シールリング4によって大気からシールされる。その空間を真空バルブ5を介して減圧する（例えば大気圧に比べて200ミリトル程度減圧する）ことにより、プローブカード1は大気圧の力をかりて均等にウェハ2を押圧する。その結果、プローブカード1のプローブ電極は、広いウェハ2の全面にわたって均等な力でウェハ2上のパッド電極を押圧することができる。プローブカード1上の多数のプローブ電極がウェハ2上の所定のパッド電極と確実に接触するためには、接触の前に、プローブカード1とウェハ2との間のアライメントを高精度で実行する必要がある。

【0020】このようなウェハ括型の測定・検査技術によれば、ウェハ2の全面に形成された数千から数万個以上の多数のパッド電極に対して、プローブカード1に形成した多数のプローブ電極を同時にしかも確実にコンタクトさせることができる。

【0021】図2は、本発明のプローブカード20の断面構成例を示している。

【0022】このプローブカード20は、測定・検査装置に電気的に接続されることになる多層配線基板21と、バンプ付きポリイミド薄膜22と、それらの間に設けられた局在型異方導電性ゴム23とを少なくとも備えている。局在型異方導電性ゴム23は、多層配線基板21の電極配線21bとバンプ付きポリイミド薄膜22のバンプ22bとを電気的に接続する弾性部材である。図2では、上記3つの部材21～23が縦方向に分離された状態が示されているが、これらの部材21～23を密着固定することにより、一枚のプローブカード20が形成される。

【0023】多層配線基板21としては、ガラス基板21a上に多層配線21bが形成されたものを使用できる。ガラス基板21aは、広い面積にわたって高い平坦性を持つものが比較的容易に作製され得るので好ましい。また、ガラスの熱膨張係数はシリコンウェハの熱膨張係数に近いため、ガラスは、特にバーンイン用プローブカードの多層配線基板の材料として好適である。

【0024】多層配線21bの形成は、公知の薄膜堆積技術とパターンニング技術を用いて行える。たとえば、銅(Cu)などの導電性薄膜をスパッタリング法等によりガラス基板21a上に堆積した後、フォトリソグラフィおよびエッチング工程で導電性薄膜をパターンニングすれば、任意のパターンを持った配線21bを形成することができる。異なるレベルの配線21bは、層間絶縁膜21cにより分離される。層間絶縁膜21cは、たとえばポリイミド薄膜をスピコート等の方法でガラス基板21a上に形成することで得られる。多層配線21bは、面内に二次元的に配列される多数のバンプ（プローブ電極）22bをプローブカード20の周辺領域に設けられた不図示の接続電極やコネクタに電気的に接続し、外

部の検査装置や検査回路とプローブ電極22bとの電気的接続を可能にするものである。

【0025】バンプ付きポリイミド薄膜22は、たとえば次のようにして得られる。まず、厚さ18 μ m程度のポリイミド薄膜22aと厚さ35 μ m程度の銅薄膜とが二層になった基材に多数の開孔部（内径20～30 μ m程度）を設ける。電解メッキなどの方法を用いて各開孔部をNi等の金属材料で埋め込み、バンプ22bを形成する。ポリイミド薄膜22aから銅薄膜の不要部分をエッチングで除去すれば、図示されるようなバンプ付きポリイミド薄膜22が得られる。バンプ22bの高さは、一例としては、約20 μ m程度である。バンプの横方向サイズは、40 μ m程度である。ポリイミド薄膜22aのどの位置にバンプ22bを形成するかは、測定対象ウェハ25のどの位置にパッド電極26が形成されているかに依存して決定される。

【0026】局在型異方導電性ゴム23は、シリコン製ゴムのシート（厚さ200 μ m程度）23a内の特定箇所に導電性粒子23bが配置されており、その箇所導通方向（膜厚方向）に鎖状につながたものである。多層配線基板21とバンプ22bとの間に、弾力性を持ったゴムを介在させることにより、ウェハ25上の段差やウェハ25のそりの影響を受けることなく、プローブカード20のバンプ22bとウェハ25上の電極26との間のコンタクトを確実に実現することができる。

【0027】このようなプローブカード20をバーンイン検査に使用する場合、ポリイミド薄膜22aの熱膨張係数（約 16×10^{-6} / $^{\circ}$ C）とウェハ25の熱膨張係数（約 3×10^{-6} / $^{\circ}$ C）とが異なるため、バーンインのための加熱時に、ポリイミド薄膜22a上のバンプ22bの位置がウェハ25上のパッド電極26の位置に対して横方向にずれてしまう。この位置ズレは、ウェハ25の中央部よりも周辺部で大きくなり、ウェハ25とプローブカード20との間で正常な電気的コンタクトがとれなくなる。このような問題を解決するには、特開平7-231019号公報に開示されているように、熱膨張係数がシリコンウェハに近いセラミックリングなどの剛性リング（不図示）にポリイミド薄膜22aを張りつけ、そのポリイミド薄膜22aにあらかじめ張力を与えておくことが有効である。この場合、ポリイミド薄膜22aを剛性リングに張りつけてから、バンプ22bを形成する方がよい。バンプ22bの位置がずれにくいからである。

【0028】ウェハ25は、ウェハトレイ28に配置される。ウェハ25を搭載したウェハトレイ28がプローブカード20に対して適切な位置にくるようにアライメント工程を行った後、プローブカード20とウェハトレイ28との間隔が縮小される。その結果、ウェハ25上のパッド電極26とプローブカード20のバンプ22bとが物理的にコンタクトする。前述のように、プローブ

カード20とウェハトレイ28との間のシールされた空間を減圧することにより、各バンプ22bがほぼ均等な力をもってウェハ25上のパッド電極26を押圧することとなる。その後、不図示の駆動回路や検査回路からの電気信号および電源電圧が、プローブカード20のバンプ22を介してウェハ25上のパッド電極26に供給される。バーンイン検査の場合、プローブカード20、ウェハ25およびウェハトレイ28は、図3に示されるような状態で、一体的にバーンイン装置に挿入され、加熱される。

【0029】検査・測定の間、および、その前後において、プローブカード20、ウェハ25およびウェハトレイ28は、図3に示されるような状態に維持される。前述の密閉空間が減圧状態にあるウェハトレイ28は、プローブカード20から離脱することなく、これらの部材は一体的にウェハ25を挟持している。

【0030】ウェハ一括型の検査・測定が終了すると、プローブカード20とトレイ28との間にできた密閉空間の圧力を上昇させ、大気圧程度に回復させる。その結果、トレイ28はプローブカード20から分離され、中からウェハ25が取り出される。

【0031】以下に、図4(a)、(b)および図5～図8を参照しながら、本発明によるプローブカード、およびそのプローブカードを用いたウェハ一括型検査方法の実施形態を詳細に説明する。

【0032】図4(a)は、ウェハ上に含まれる複数の半導体集積回路チップ（以下、「チップ」と称する）のうちの1つのチップ上における入出力用パッド50～53およびチップ選択信号用パッド54の配置例を模式的に示している。この配置はあくまでも一例にすぎない。なお、本願明細書では、ダイシング等によって最終的にウェハから切り出される各チップを、ウェハから切り出される前の状態においても、「チップ」と称することとする。一枚のウェハに含まれるチップの数は、ウェハサイズとチップサイズとに依存して変化するが、典型的には数百個である。

【0033】図4(b)は、本実施形態にかかるプローブカード上のデータ入出力線55～58およびチップ選択信号線59並びにバンプ電極60の一部について、そのレイアウトの一例を示している。図4(b)の各バンプ60は、図4(a)の入出力用パッド50～53およびチップ選択信号用パッド54にコンタクトするように配置されている。なお、図4(b)は、バンプ60および配線55～59をウェハ上のパッド50～53にコンタクトさせた状態において、プローブカードを透過するように見た場合のバンプ60および配線55～59のレイアウトを示している。

【0034】現実のプローブカード上には、他の配線とそれに接続するバンプも多数設けられている。それら種類の異なる配線は、相互に短絡しないように絶縁膜を介

して絶縁分離されている。図4(b)のデータ入出力線55~58はチップ選択信号線59とは異なるレベルに形成されており、相互に絶縁分離されている。

【0035】本実施形態では、図4(a)に示すように、チップの内部回路41内にチップ選択回路42が設けられており、このチップ選択回路42は、チップ選択信号用パッド59に接続されている。ウェハー括型バーンイン検査に際しては、ウェハ上のある領域に含まれるチップのチップ選択回路42が、それぞれのチップ選択信号用パッド54を介して、プローブカード上の共通のチップ選択線59からチップ選択信号を受け取る。内部回路41と入出力用パッド50~53との間には、出力回路が設けられるが、図4(a)では簡単化のため出力回路は図示されていない。

【0036】本実施形態では、ウェハ内のチップを図5の実線で区画されるブロックに分け、各ブロックに含まれるチップには共通のチップ選択信号を供給するようにプローブカードを構成している。図6は、図5のブロックをわかりやすく示している。本実施形態では、一枚のウェハ内に含まれる140個のチップを10個のブロックa~jに分けているので、各ブロックa~jには、複数の行に属する14個のチップが含まれることになる。

【0037】ブロックa~jのうちの1つのブロックを選択することによって、そのブロックに含まれるすべてのチップのデータを一齐に読み出すことができる。例えば、ブロックbに含まれるチップからデータを読み出す場合を例にとり、そのために使用されるデータ入出力線のレイアウトを図7に示す。図7は、ブロックb内のチップからデータを読み出す際に使用されるデータ入出力線のレイアウト例を示している。図7は、簡単化のため、各チップに対して1本のデータ入出力線が接続しているように記載されているが、本実施形態では、図4

(b)に示すように、各チップに4本のデータ入出力線55~58を接続している。また、図7では、各データ入出力線が図中のY方向に沿って延びているが、X方向に沿って延びるように配置しても良い。チップのどの部分にどのようにパッドが配置されるかなどに応じて、最適なレイアウトは変化する。

【0038】図8は、ブロックbに含まれるチップにチップ選択信号を供給するために使用されるチップ選択信号線のレイアウト例を示している。同じブロックに含まれる複数のチップの各々に対して別々のデータ入出力線が接続されるのに対して、チップ選択信号線は各チップに共通に接続されてもよい。その結果、そのチップ選択信号線にチップ選択信号を印加すると、対応するブロック(例えばブロックb)に含まれるチップを一齐に動作させることができる。

【0039】このような構成を採用することによって、ウェハ内の多数のチップからいくつかのチップ群を選択し、選択したチップ群に対して、データ入出力などの各

種の動作を一齐に実行させることができる。しかも、同時選択可能なチップの数が、本実施形態では、等しい数

(14個)に設定されている。ここで、重要な点は、このチップ数が、バーンイン検査装置などの装置が一度に読み出すことのできる最大チップ数に等しいか、または、最大チップ数よりも少なく、かつ、最大チップ数に近い値に設定されていることである。一つのブロックに含まるべきチップの数が最大チップ数よりも小さく設定されることは当然のこととして、チップ数を最大チップ数に近い値に設定するのは、一枚のウェハに含まれるすべてのチップに対して、できるだけ少ない回数でデータ読み出しを実行するためである。測定検査装置が一度に測定できる最大チップ数は、各チップから読み出されるデータのビット幅にも依存する。図4(a)および

(b)に示す例では、各チップが4個のデータ入出力用パッド電極を備えており、それに応じて、プローブカード上のデータ入出力線の数も4本になっている。また、その例では、データの入力と出力とをデータ入出力線を用いて実行しているが、本発明は、このような場合に限定されるものではない。チップの構成によっては、データ入力線とデータ出力線とを別個に設けることになる。

【0040】測定装置によっては、上述の最大チップ数が20個となる場合がある。この場合において、140個のチップを検査対象とすると、140個のチップを7つのブロックに分割して検査を行うことが最も好ましい。この場合において、チップの数が141個から160個の範囲内にあるウェハを検査対象とすると、ブロック数は8つにするのが最も好ましい。そのとき、7つのブロックにはそれぞれ20個のチップを割り当て、他の1つのブロックには残りのチップ(1個から20個)を割り当ててもいい。また、可能ならば、各ブロックに含まれるチップ数を17個から20個の範囲でばらつかせても良い。重要な点は、9つ以上のブロックに分けないことである。9つ以上のブロックにわけると、8つのブロックにわけの場合よりも、検査回数が余分に1回増えるからである。

【0041】今、一枚のウェハに含まれるチップの総数をX個、測定装置で一度に測定できるチップの最大数をn個とした場合に、 $X = n \times (m - 1) + r$ (mは自然数、rはn以下の自然数)が成立したとする。この場合、ブロックの総数をm個にすることが最も好ましい。逆に、各ブロック内のチップ数をn個以下にしながら、ブロックの総数がm個となるようにブロック分けが行われていれば、検査回数は最小化されるので、各ブロックの具体的な平面レイアウトは任意である。図5および図6に示すレイアウトは、あくまでもブロック分けの一例に過ぎない。

【0042】なお、各ブロックに含まれるチップに対して、厳密な意味で「同時に」動作を開始させる必要はない。同一ブロック内のチップ間で、動作開始時刻に僅か

の遅れ（例えば数十ナノ秒程度の遅れ）を生じさせても良い。そのような遅れは、チップ動作開始直後に多数のチップを流れる電流のピーク値を低減するために好ましい場合がある。

【0043】図2に示すプローブカードの一例では、局在型異方導電性ゴム23を用いて、多層配線基板中の多層配線とバンパとを電氣的に接続しているが、局在型異方導電性ゴム23を用いることなく、直接に、多層配線とバンパとを接触させても良い。また、逆に、測定対象のウェハ上にバンパを形成しておけば、プローブカードの側にバンパを形成する必要もなくなる。その場合は、プローブカードの局在型異方導電性ゴム23の先端部分を、ウェハ上のバンパに押圧するようにすれば、ウェハ一括型測定・検査が実行できる。また、局在型異方導電性ゴム23を用いることなく、多層配線基板の多層配線を直接にウェハ上のバンパにコンタクトさせても良い。

【0044】

【発明の効果】本発明によれば、ウェハ内に含まれる複数のチップから、ブロック単位でデータを読み出すことができるので、一度に測定できるチップの数を装置の限界レベルに近い状態で各回の検査を行える。このため、与えられたウェハ及び測定装置の性能のもとで検査回数を最小化できる。また、ブロック単位でデータを読み出せるようにデータ線をプローブカード上に配するため、結果的に、各データ線の距離が短縮される。そのため、信号遅延が少なくなり、高速で検査を行うことが可能になる。

【図面の簡単な説明】

【図1】ウェハ一括型の測定・検査技術を説明するための斜視図。

【図2】ウェハ一括型の測定・検査技術に用いられるプローブカード、ウェハおよびウェハトレイの構成を示す断面図。

【図3】測定時におけるプローブカード、ウェハおよびウェハトレイの関係を示す断面図。

【図4】(a)は、ウェハ上に含まれるチップ上におけ

る入出力用パッドおよびチップ選択信号用パッドの配置例を模式的に示す平面レイアウト図、(b)は、本実施形態にかかるプローブカード上のデータ入出力線およびチップ選択信号線並びにバンパ電極の一部の平面レイアウト図。

【図5】本発明の実施形態にかかるウェハ上のチップとそのブロックとの関係を示す平面図。

【図6】図5のブロックを明瞭に示す平面図。

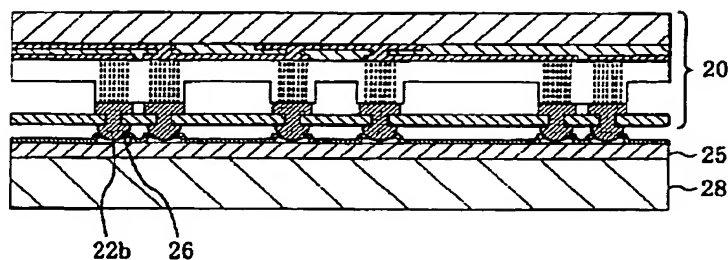
【図7】ブロックbに含まれるチップからデータを読み出す時に使用されるデータ線の平面レイアウト図。

【図8】ブロックbに含まれるチップにチップ選択信号を供給するために使用されるチップ選択信号線の平面レイアウト図。

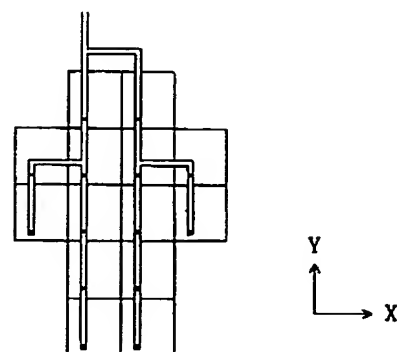
【符号の説明】

- 1 プローブカード
- 2 ウェハ（例えば直径200mmのシリコンウェハ）
- 3 ウェハトレイ
- 4 シールリング
- 5 真空バルブ
- 20 プローブカード
- 21 多層配線基板
- 21a ガラス基板
- 21b 電極配線
- 21c 層間絶縁膜
- 22 バンパ付きポリイミド薄膜
- 22a ポリイミド薄膜
- 22b バンパ
- 23 局在型異方導電性ゴム
- 25 ウェハ
- 26 パッド電極
- 28 ウェハトレイ
- 50～53 入出力用パッド
- 54 チップ選択信号用パッド
- 55～59 プローブカード上の配線

【図3】

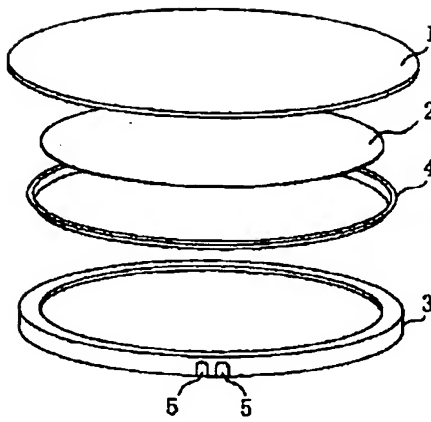


【図8】

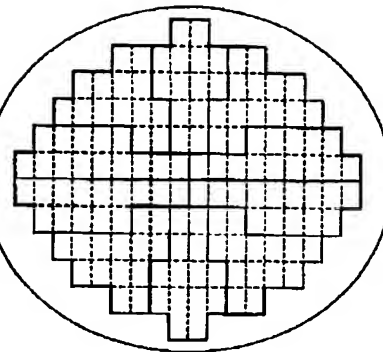


(7)

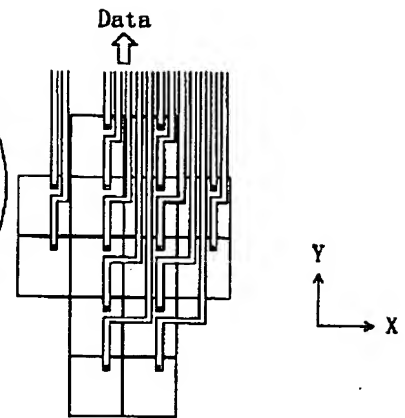
【図1】



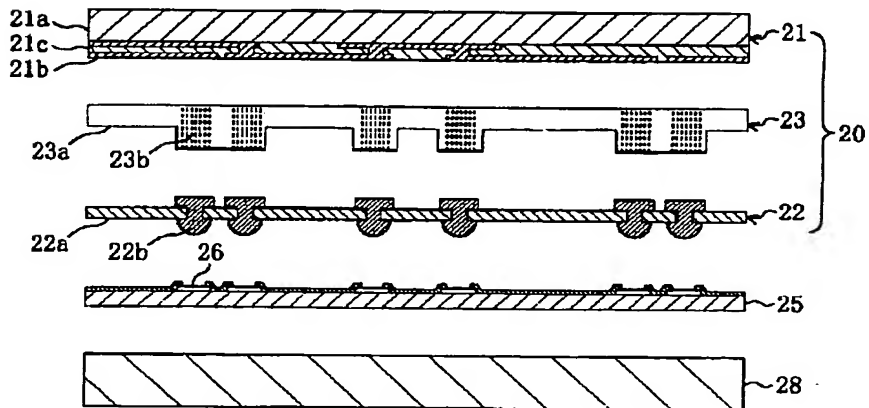
【図5】



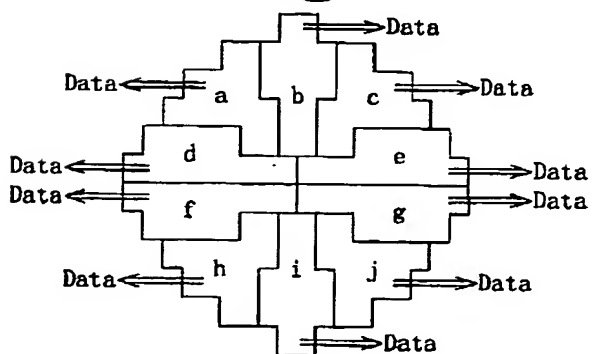
【図7】



【図2】

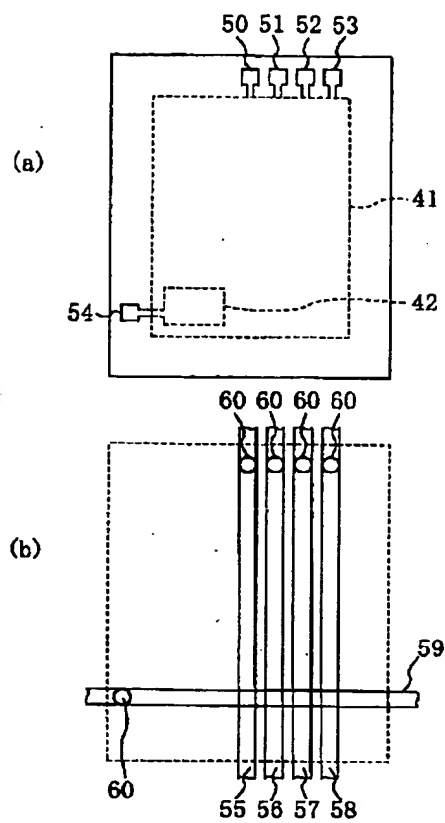


【図6】



(8)

【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.